



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 2 2 7 9
Application Number:

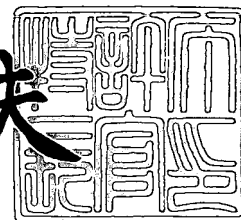
[ST. 10/C] : [J P 2 0 0 3 - 0 4 2 2 7 9]

出 願 人 コニカミノルタホールディングス株式会社
Applicant(s):

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 DIJ02547

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 C C D用パルスジェネレータ

【請求項の数】 15

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内

【氏名】 高木 幸一

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内

【氏名】 山本 裕之

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内

【氏名】 芳野 剛

【特許出願人】

【識別番号】 000001270

【氏名又は名称】 コニカ株式会社

【代理人】

【識別番号】 100085187

【弁理士】

【氏名又は名称】 井島 藤治

【手数料の表示】

【予納台帳番号】 009542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 9004575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 C C D 用 パルスジェネレータ

【特許請求の範囲】

【請求項 1】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D リセット信号を生成するデジタルディレイ方式の C C D リセット信号生成手段と、

前記 C C D リセット信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、

前記 C C D リセット信号の反転信号と非反転信号とを選択する選択手段と、
前記 C C D リセット信号を一時停止するブランキング手段と、

出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、

前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、

を備えたことを特徴とする C C D 用 パルスジェネレータ。

【請求項 2】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D クランプ信号を生成するデジタルディレイ方式の C C D クランプ信号生成手段と、

前記 C C D クランプ信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、

前記 C C D クランプ信号の反転信号と非反転信号とを選択する選択手段と、
前記 C C D クランプ信号を一時停止するブランキング手段と、

出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、

前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、

を備えたことを特徴とする C C D 用 パルスジェネレータ。

【請求項 3】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D 用予備信号を生成するデジタルディレイ方式の C C D 用予備信号生成手段と、

前記 C C D 用予備信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、

前記 C C D 用予備信号の反転信号と非反転信号とを選択する選択手段と、
前記 C C D 用予備信号を一時停止するブランキング手段と、

出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、

前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、
を備えたことを特徴とする C C D 用パルスジェネレータ。

【請求項 4】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D 用予備信号を生成するデジタルディレイ方式の C C D 用予備信号生成手段と、

前記 C C D 用予備信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、

前記 C C D 用予備信号の反転信号と非反転信号とを選択する選択手段と、

出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、

前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、
を備えたことを特徴とする C C D 用パルスジェネレータ。

【請求項 5】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じて C C D 出力をサンプリングするためのサンプリング信号を生成するデジタルディレイ方式のサンプリン

グ信号生成手段と、

前記サンプリング信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、

前記サンプリング信号の反転信号と非反転信号とを選択する選択手段と、

出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、

前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、

を備えたことを特徴とする C C D 用パルスジェネレータ。

【請求項 6】 前記出力信号条件設定手段は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成される、
ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の C C D 用パルスジェネレータ。

【請求項 7】 前記出力信号条件設定手段は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成されており、

データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成された別機能素子手段とカスケード接続可能である、
ことを特徴とする請求項 6 記載の C C D 用パルスジェネレータ。

【請求項 8】 前記のレジスタは、素子動作順選択のための端子を介して制御される、
ことを特徴とする請求項 6 または請求項 7 のいずれかに記載の C C D 用パルスジェネレータ。

【請求項 9】 前記のレジスタは、素子イネーブル選択のための端子を介して制御される、
ことを特徴とする請求項 6 または請求項 7 のいずれかに記載の C C D 用パルスジェネレータ。

【請求項 10】 前記レジスタは、C P U などの設定手段により通信を介して制御される、
ことを特徴とする請求項 6 または請求項 7 のいずれかに記載の C C D 用パルスジ

ジェネレータ。

【請求項 1 1】 各手段が集積回路の 1 チップ内で構成されたことを特徴とする請求項 6 記載の CCD 用パルスジェネレータ。

【請求項 1 2】 請求項 1 乃至請求項 5 のパルスジェネレータのうち少なくとも 2 種類が組み合わされて、複数の出力手段を備えたパルスジェネレータであって、

前記出力手段の出力イネーブル機能は、一つの設定で全ての出力イネーブル機能が同時に制御される、
ことを特徴とするパルスジェネレータ。

【請求項 1 3】 前記転送信号を差動入力手段により受けて、前記複数の遅延信号を生成する、
ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の CCD 用パルスジェネレータ。

【請求項 1 4】 各手段が集積回路の 1 チップ内で構成されており、
前記ブランキング手段は、ブランキング信号を集積回路内で生成する内部ブランキング信号生成手段と、ブランキング信号を集積回路外から入力する外部ブランキング信号入力手段と、前記内部ブランキング信号と前記外部ブランキング信号とを選択するブランキング信号選択手段とを有し、

前記ブランキング信号選択手段の選択は、前記出力信号条件設定手段により設定される、
ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の CCD 用パルスジェネレータ。

【請求項 1 5】 ライン CCD を駆動するための信号を発生する、
ことを特徴とする請求項 1 乃至請求項 1 4 のいずれかに記載の CCD 用パルスジェネレータ。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、CCD を駆動するための CCD 駆動用信号と CCD 出力信号を処理

するための C C D 出力処理用信号とを生成するパルスジェネレータに関し、さらに詳しくは、各信号の正確なタイミング制御が可能なパルスジェネレータに関する。

【 0 0 0 2 】

【従来の技術】

画像読み取り装置の心臓部である C C D の駆動およびその出力信号処理に必要な複数の信号は、良質な画像信号を得るために、それぞれの発生タイミングが非常に重要である。

【 0 0 0 3 】

従来は、そのタイミング関係を確保するために、ゲート回路やインバータ回路がもつ遅延特性を応用したり、比較的安価な半導体遅延素子を用いて実現していた。

【 0 0 0 4 】

なお、従来、ライン C C D を用いた画像読み取り装置では、高速から低速の読み取り装置に同一の C C D (ラインセンサ) が共通して採用されるために回路構成の大半は変更無いとしても、タイミング設定回路に変更があるために、実際には回路の共通化を行っていなかった。

【 0 0 0 5 】

なお、パルスジェネレータとして使用可能なパルス発生回路が、以下の特許文献 1 に記載されている。

【 0 0 0 6 】

【特許文献 1】

特開平 5 - 2 7 5 9 8 8 号公報 (第 1 頁、図 1)

【 0 0 0 7 】

【発明が解決しようとする課題】

ところが、近年、画像読み取り装置の高速化や高解像度化が要求され、これに伴って C C D の駆動速度も高速となってきた。

【 0 0 0 8 】

たとえば、C C D 出力信号は、C C D 駆動に必要な固定期間が存在し、画像信

号として、有効な期間が限定される。これは、高速駆動になればなるほど狭くなり、CCD出力信号のサンプリングタイミング調整は容易でなくなっている。

【0009】

図6はCCD出力信号の波形例を示す波形図である。ここでは、1画素分の波形例を示している。ここで、画像信号としてサンプルホールドが行える期間は図6④の画像信号安定期間に限定される。たとえば、読み取り周波数（CCD転送信号の周波数）が20MHzとしたときの①～⑤までの1周期は50nsとなっている。なお、①のリセット期間とクランプ期間はCCD駆動仕様から最小で約20nsである。②のフィールドスルー期間は、相関サンプリング時の基準レベルとなるところで、高速駆動時は、画像安定期間を確保するために、転送クロックとリセットパルスのタイミングを調整して0nsとしている。③の画像信号立ち下がり期間は、転送クロックの t_r 、 t_f にも影響されるが、通常は15ns程度は必要である。⑤の画像信号立ち上がり期間は、同じく通常は5ns程度は必要である。

【0010】

したがって、残された④の画像信号期間は、 $t_w④ = 50 - ① - ② - ③ - ⑤ = 50 - 20 - 0 - 15 - 5 = 10$ 、となる。すなわち、10nsとなってしまう。さらに、この10nsの期間中にも資料のサンプルホールドポイントが存在する。最良のサンプルホールドポイントとは、結果として、最大振幅が得られ、かつ、ノイズ量が最小のポイントである。このポイントは、④の画像信号安定期間の後端部であるが、⑤にあまり近づきすぎるとノイズが増加してしまう。

【0011】

以上のように、CCD出力信号のサンプルホールドタイミング調整はクリティカルな状態におかれており、高速駆動になるほどより一層クリティカルな状態を増すことになる。

【0012】

このため、高速あるいは高解像度な画像読み取り装置では、CCD駆動用信号（CCDリセット信号、CCDクランプ信号、予備信号など）やCCD出力処理

用信号（サンプリング信号など）を正確なタイミングで生成するために、高価な高精度の遅延素子を使わざるを得ない状況になってきている。

【 0 0 1 3 】

また、装置個々のばらつきにより、設計状態のままでは動作しないという状況も起こりうる。そのため、ジャンパスイッチなどを用いて、高精度の遅延素子の遅延状態を調整するといった装置構成になっているものもあった。

【 0 0 1 4 】

また、高速から低速の読み取り装置に同一の C C D が共通して採用されるために回路構成の大半は変更無いとしても、上記タイミング設定回路に変更があるために、実際には回路の共通化が出来ないという不具合があった。

【 0 0 1 5 】

本発明は、上記の課題を解決するためになされたものであって、その目的は、C C D 駆動用信号と C C D 出力処理用信号とを正確なタイミングで生成することが可能な C C D 用パルスジェネレータを提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

以上のような問題に鑑みて、本件出願の発明者らは、複数のインバータ回路を組み合わせたデジタルディレイ方式遅延信号発生手段（クロックを細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D リセット信号を生成するデジタルディレイ方式の信号生成回路）を用いて、C C D 駆動信号および C C D 出力処理用信号のタイミングを調整することで、以上の問題点を解決できることを新たに見いだした。

【 0 0 1 7 】

具体的には、この転送信号を基準として、C C D を駆動するための C C D 駆動用信号としてのリセット信号とクランプ信号とを生成し、また、C C D 出力を処理するための C C D 出力処理用信号としてサンプリング信号を生成し、さらに、その他、予備信号を前記複数のインバータ回路を組み合わせた遅延信号発生手段によりそのタイミングを調整するものであり、それぞれの複数の信号を一

つの集積回路にまとめ、さらには、それぞれの複数の信号のタイミング、パルス幅、特性、出力制御を一つのレジスタから構成される出力信号条件設定手段により集中的に制御可能にするものである。

【0018】

すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

【0019】

(1) 請求項1記載の発明は、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCDリセット信号を生成するデジタルディレイ方式のCCDリセット信号生成手段と、前記CCDリセット信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、前記CCDリセット信号の反転信号と非反転信号とを選択する選択手段と、前記CCDリセット信号を一時停止するブランキング手段と、出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、を備えたことを特徴とするCCD用パルスジェネレータである。

【0020】

この発明では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCDリセット信号を生成し、CCDリセット信号の反転信号と非反転信号とを選択し、必要に応じてCCDリセット信号を一時停止し、出力する。そして、以上の各動作を決定する複数の条件の設定情報を設定する。

【0021】

このため、CCD駆動用信号としてのCCDリセット信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設

定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【 0 0 2 2 】

(2) 請求項 2 記載の発明は、C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D クランプ信号を生成するデジタルディレイ方式の C C D クランプ信号生成手段と、前記 C C D クランプ信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、前記 C C D クランプ信号の反転信号と非反転信号とを選択する選択手段と、前記 C C D クランプ信号を一時停止するブランキング手段と、出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、を備えたことを特徴とする C C D 用パルスジェネレータである。

【 0 0 2 3 】

この発明では、C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D クランプ信号を生成し、C C D クランプ信号の反転信号と非反転信号とを選択し、必要に応じて C C D クランプ信号を一時停止し、出力する。そして、以上の各動作を決定する複数の条件の設定情報を設定する。

【 0 0 2 4 】

このため、C C D 駆動用信号としての C C D クランプ信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一の C C D が共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【 0 0 2 5 】

(3) 請求項 3 記載の発明は、C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D 用予

備信号を生成するデジタルディレイ方式のCCD用予備信号生成手段と、前記CCD用予備信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、前記CCD用予備信号の反転信号と非反転信号とを選択する選択手段と、前記CCD用予備信号を一時停止するブランキング手段と、出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、を備えたことを特徴とするCCD用パルスジェネレータである。

【0026】

この発明では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD用予備信号を生成し、CCD用予備信号の反転信号と非反転信号とを選択し、必要に応じてCCD用予備信号を一時停止し、出力する。そして、以上の各動作を決定する複数の条件の設定情報を設定する。

【0027】

このため、CCD駆動用信号としてのCCD用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【0028】

(4) 請求項4記載の発明は、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD用予備信号を生成するデジタルディレイ方式のCCD用予備信号生成手段と、前記CCD用予備信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、前記CCD用予備信号の反転信号と非反転信号とを選択する選択手段と、出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、を備えたことを特徴とするCCD用パルスジェネレ

ータである。

【0029】

この発明では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD用予備信号を生成し、CCD用予備信号の反転信号と非反転信号とを選択し、出力する。そして、以上の各動作を決定する複数の条件の設定情報を設定する。

【0030】

このため、CCD駆動用信号としてのCCD用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【0031】

(5) 請求項5記載の発明は、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じてCCD出力をサンプリングするためのサンプリング信号を生成するディジタルディレイ方式のサンプリング信号生成手段と、前記サンプリング信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、前記サンプリング信号の反転信号と非反転信号とを選択する選択手段と、出力イネーブル機能を有し、前記選択手段により選択された信号を出力する出力手段と、前記それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段と、を備えたことを特徴とするCCD用パルスジェネレータである。

【0032】

この発明では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD用予備信号を生成し、CCD用予備信号の反転信号と非反転信号とを選択し、出力する。そして、以上の各動作を決定する複数の条件の設定情報を設定する。

【 0 0 3 3 】

このため、CCD駆動用信号としてのCCD用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【 0 0 3 4 】

(6) 請求項6記載の発明は、前記出力信号条件設定手段は、データ、クロック、ロードの3制御信号により制御されるレジスタによって構成される、ことを特徴とする請求項1乃至請求項5のいずれかに記載のCCD用パルスジェネレータである。

【 0 0 3 5 】

この発明では、出力信号条件設定手段は、データ、クロック、ロードの3制御信号により制御されるレジスタによって構成されており、制御部などとシリアル通信によって必要なデータの授受を行うことが可能であり、簡素な構成により信頼性を高めることが可能になる。

【 0 0 3 6 】

(7) 請求項7記載の発明は、前記出力信号条件設定手段は、データ、クロック、ロードの3制御信号により制御されるレジスタによって構成されており、データ、クロック、ロードの3制御信号により制御されるレジスタによって構成された別機能素子手段とカスケード接続可能である、ことを特徴とする請求項6記載のCCD用パルスジェネレータである。

【 0 0 3 7 】

この発明では、出力信号条件設定手段は、データ、クロック、ロードの3制御信号により制御されるレジスタによって構成されており、制御部や同種の別機能素子手段などとシリアル通信によって必要なデータの授受を行うことが可能であり、簡素な構成により信頼性を高めることが可能になる。

【 0 0 3 8 】

(8) 請求項8記載の発明は、前記のレジスタは、素子動作順選択のための端子を介して制御される、ことを特徴とする請求項6または請求項7のいずれかに

記載の C C D 用パルスジェネレータである。

【 0 0 3 9 】

この発明では、前記のレジスタは、素子動作順選択のための端子を介して制御されるため、C C D 用パルスジェネレータ同士が複数接続される場合に、それぞれの動作順を定めることが可能になる。

【 0 0 4 0 】

(9) 請求項 9 記載の発明は、前記のレジスタは、素子イネーブル選択のための端子を介して制御される、ことを特徴とする請求項 6 または請求項 7 のいずれかに記載の C C D 用パルスジェネレータである。

【 0 0 4 1 】

この発明では、前記のレジスタは、素子イネーブル選択のための端子を介して制御されるため、C C D 用パルスジェネレータ同士が複数接続される場合に、それぞれを有効（イネーブル）にするか無効（ディセーブル）にするかの設定が可能になる。

【 0 0 4 2 】

(1 0) 請求項 1 0 記載の発明は、前記レジスタは、C P U などの設定手段により通信を介して制御される、ことを特徴とする請求項 6 または請求項 7 のいずれかに記載の C C D 用パルスジェネレータである。

【 0 0 4 3 】

この発明では、出力信号条件設定手段は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成されており、制御部やその他の設定手段とシリアル通信によって必要なデータの授受を行うことが可能であり、簡素な構成により信頼性を高めることが可能になる。

【 0 0 4 4 】

(1 1) 請求項 1 1 記載の発明は、各手段が集積回路の 1 チップ内で構成されたことを特徴とする請求項 6 記載の C C D 用パルスジェネレータである。

【 0 0 4 5 】

この発明では、上記 (1) ～ (5) の各部と、上記 (6) の出力信号条件設定手段とが、半導体集積回路の 1 チップ内にデジタル回路として構成されており

、簡易な構成となり、回路面積を削減することが可能になる。また、同一チップ内であるため、熱条件も等しくなり、高精度を確保することが可能になる。

【0 0 4 6】

(1 2) 請求項 1 2 記載の発明は、請求項 1 乃至請求項 5 のパルスジェネレータのうち少なくとも 2 種類が組み合わせられて、複数の出力手段を備えたパルスジェネレータであって、前記出力手段の出力イネーブル機能は、一つの設定で全ての出力イネーブル機能が同時に制御される、ことを特徴とするパルスジェネレータである。

【0 0 4 7】

この発明では、上記 (1) ～ (5) のパルスジェネレータのうち少なくとも 2 種類が組み合わせられて、複数の出力を得るものであって、出力イネーブル機能は、一つの設定で全ての出力イネーブル機能が同時に制御されるようになっている。このため、簡易な制御によって信頼性の高い動作を実現することが可能になる。

【0 0 4 8】

(1 3) 請求項 1 3 記載の発明は、前記転送信号を差動入力手段により受けて、前記複数の遅延信号を生成する、ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の CCD 用パルスジェネレータである。

【0 0 4 9】

この発明では、(1) ～ (5) による転送信号を差動入力手段により受けて、複数の遅延信号を生成している。このように差動入力とすることで、ノイズの影響などを受けず、正確なタイミングで転送信号を受けることが可能になる。

【0 0 5 0】

(1 4) 請求項 1 4 記載の発明は、各手段が集積回路の 1 チップ内で構成されており、前記ブランキング手段は、ブランキング信号を集積回路内で生成する内部ブランキング信号生成手段と、ブランキング信号を集積回路外から入力する外部ブランキング信号入力手段と、前記内部ブランキング信号と前記外部ブランキング信号とを選択するブランキング信号選択手段とを有し、前記ブランキング信号選択手段の選択は、前記出力信号条件設定手段により設定される、ことを特徴

とする請求項 1 乃至請求項 3 のいずれかに記載の C C D 用パルスジェネレータである。

【0 0 5 1】

この発明では、上記（１）～（３）の各手段が集積回路の 1 チップ内で構成されており、さらに、ブランキング手段では、集積回路内で生成するブランキング信号と集積回路外から入力する前記内部ブランキング信号とが、出力信号条件設定手段により設定されて選択される。

【0 0 5 2】

このため、C C D 駆動用信号を正確なタイミングで生成することが可能になるだけでなく、外部からのブランキング信号を用いて制御することも可能になり、多種多様な使用方法が可能になる。

【0 0 5 3】

（１５）請求項 1 5 記載の発明では、（１）～（１４）において、ライン C C D を駆動するための信号を発生する、ことを特徴とする。

【0 0 5 4】

この発明では、以上の（１）～（１４）のそれぞれをライン C C D を駆動するためのパルスジェネレータに適用することで、従来の問題点を解決した良好な結果を得ることが可能になる。

【0 0 5 5】

【発明の実施の形態】

以下、図面を参照して、本発明の C C D 用パルスジェネレータの実施の形態例を詳細に説明する。

【0 0 5 6】

〈画像読み取り装置の全体構成〉

ここで、本発明の一実施の形態例の C C D 用パルスジェネレータを適用することが可能な画像読み取り装置の全体構成を説明する。

【0 0 5 7】

なお、本実施の形態例の C C D 用パルスジェネレータは、多色（R G B の 3 色など）の読み取りを行う画像読み取り装置に適用することも可能であるが、まず

、説明を簡単にするためにモノクロの画像読み取り装置 1 0 0 に適用した例を用いて説明する。

【 0 0 5 8 】

1 0 1 は画像読み取り装置 1 0 0 の各部を制御するための C P U など構成された制御部である。1 1 0 は本実施の形態例の特徴部分であって、設定された立ち上がりタイミングと立ち下りタイミングとに応じて C C D 駆動用信号と C C D 出力処理用信号とを正確なタイミングで生成するデジタルディレイ方式を採用したパルスジェネレータである。

【 0 0 5 9 】

1 2 0 はパルスジェネレータ 1 1 0 からの転送信号とリセット信号とを受けて C C D 1 3 0 を駆動する C C D ドライバである。1 3 0 は C C D ドライバ 1 2 0 から駆動されて光電変換を行う撮像手段としての C C D である。なお、この C C D 1 3 0 はラインセンサであっても 2 次元センサであってもよい。1 4 0 はクランプ信号を用いて C C D 1 3 0 からの出力信号に所定の信号処理を施して画像信号を生成する信号処理回路、1 5 0 はサンプリング信号を用いて画像信号に所定の画像処理を施す画像処理回路である。

【 0 0 6 0 】

また、パルスジェネレータ 1 1 0 は以下の 1 1 1 ~ 1 1 8 を有して構成されている。1 1 1 は C C D 1 3 0 の電荷転送に用いられる転送信号を基準クロックとして発生するクロック発生部、1 1 3 はパルスジェネレータ 1 1 0 内の各手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定部である。また、1 1 4 a ~ 1 1 4 e は C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた信号を生成するデジタルディレイ方式パルス調整部である。また、1 1 5 a ~ 1 1 5 e は前記デジタルディレイ方式パルス調整部 1 1 4 a ~ 1 1 4 e の出力の反転信号および非反転信号を生成する反転部、1 1 6 a ~ 1 1 6 e は前記反転部 1 1 5 a ~ 1 1 5 e の出力（反転信号および非反転信号）を選択する選択部、1 1 7 a ~ 1 1 7 c は前記選択部 1 1 6 a ~ 1 1 6 c の選択結果を一時的に遮断（一時停止）する

ブランキング部、118a～118eは前記ブランキング部117a～117cまたは前記選択部116d～116eの出力を出力イネーブル機能を介して出力する出力部、である。

【0061】

なお、この図1において、クロック発生部111からの転送信号はCCDドライバ120に供給され、出力部118aからのリセット信号はCCDドライバ120に供給され、出力部118bからのクランプ信号は信号処理回路140に供給され、出力部118dからのサンプリング信号は画像処理回路150に供給され、出力部118cからの予備信号#1と出力部118eからの予備信号#2とは予備のために用意されている。

【0062】

また、制御部101からの制御を受けた出力信号条件設定部113は、選択部116a～116eの選択と、ブランキング部117a～117cのブランキング制御と、出力部118a～118eの出力イネーブル機能と、について、これらそれぞれの手段の動作を決定する複数の条件の設定情報を設定する。

【0063】

なお、デジタルディレイ方式パルス調整部114aは、請求項における「デジタルディレイ式のリセット信号生成手段」である。また、デジタルディレイ方式パルス調整部114bは、請求項における「デジタルディレイ式のクランプ信号生成手段」である。また、デジタルディレイ方式パルス調整部114cは、請求項における「デジタルディレイ式のCCD用予備信号生成手段」である。また、デジタルディレイ方式パルス調整部114dは、請求項における「デジタルディレイ式のサンプリング信号生成手段」である。また、デジタルディレイ方式パルス調整部114eは、請求項における「デジタルディレイ式のCCD用予備信号生成手段」である。

【0064】

また、図2はデジタルディレイ方式パルス調整部114aの内部構成を示しつつ、出力信号条件設定部113と反転部115a～出力部118aまでの関係を示した構成図である。デジタルディレイ方式パルス調整部114b～114

e についても、同様な構成であるとする。

【0065】

以下、デジタルディレイ方式パルス調整部 114a の構成と動作とを中心にして、本実施の形態例の特徴について、以下の (A), (B), (C), (D) に分けて、順に説明する。

【0066】

(A) 遅延信号生成：

ディレイチェーン部 1141 は入力信号（クロック発生部 111 からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延信号（遅延信号群：図 2 ①）を得るためのディレイ素子群である。

【0067】

ここで、ディレイチェーン部 1141 は、位相が少しずつ異なる遅延信号について、基準クロックの 2 周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0068】

(B) 同期検出：

同期検出部 1142 はクロック発生部 111 からの基準クロックを受け、遅延信号群（図 2 ①）の中で基準クロックに同期している遅延信号の段数（同期ポイント）を検出する検出手段であり、同期ポイント情報（図 2 ②）を出力する。ここで、同期検出部 1142 は、遅延信号群（図 2 ①）の中で、最初に基準クロックに同期している第 1 同期ポイント情報 SP1 と、2 番目に基準クロックに同期している第 2 同期ポイント情報 SP2 と、を出力できることが好ましい。ディレイチェーン部 1141 からの複数の遅延信号は、温度変化などの影響によって遅延時間に変動が生じている可能性があるため、このようにして、所定の変動しない時間（基準クロックから次の基準クロックまでの間）に、どれだけの遅延信号が含まれているかを検出しておく。

【0069】

(C) 同期切り替え：

同期切り替え部 1143 は、同期検出部 1142 からの同期ポイント情報（図

2 ②) と、出力信号条件設定部 1 1 3 からのタイミング設定信号 (図 2 ③) とに基づいて、同期補正量を求め、遅延信号群 (図 2 ①) の中からどの位相の遅延信号を選択すべきかのセレクト信号 (図 2 ④) を出力するものである。なお、タイミング設定信号は、立ち上がりタイミングと立ち下りタイミングとを設定するための設定信号である。

【 0 0 7 0 】

(D) 遅延信号選択：

セクタ 1 1 4 4 は同期切り替え部 1 1 4 3 からのセレクト信号 (図 2 ④) を受け、遅延信号群 (図 2 ①) の中から対応する位相の遅延信号を選択し、リセット信号 (図 2 ⑤) として出力するものである。

【 0 0 7 1 】

このようにして、所望の立ち上がりタイミングと立ち下りタイミングとを有するリセット信号を生成するようにしている。なお、ここではリセット信号を例にしたが、クランプ信号やサンプリング信号や予備信号についても同様である。

【 0 0 7 2 】

なお、図 6 に示した画像信号の 1 画素の波形は、クロック発生部 1 1 1 からの転送信号と同期して出力されている。すなわち、転送信号のタイミングを基準として、遅延状態が把握された遅延信号の所望のタイミングに相当する段数目の遅延信号を選択することで、所望のタイミングで立ち上がり・立ち下りを有する CCD 駆動用信号と CCD 出力処理用信号を正確に生成することが可能になる。このため、図 6 で説明した画像安定期間において、所望のタイミングのパルスを得ることができる。

【 0 0 7 3 】

すなわち、高価なアナログ遅延素子を用意しておいてその選択を行うのではなく、位相 (ドットクロックのパルスの位置もしくはタイミング) を細かく徐々に変えた遅延信号を所定タイミングで選択することで、所望の立ち上がりタイミングと立ち下りタイミングとを有するリセット信号等を生成するようにしている。

【 0 0 7 4 】

なお、この実施の形態例では、ディレイチェーン部 1 1 4 1 の遅延素子 1 段あ

たりの遅延時間が熱や個体差などで変化したとしても、同期検出部 1 1 4 2 が基準クロックを基準にして同期段数を求めているため、個体差や経時変化に影響されることなく、同期段数と所望のタイミングとから何段目の遅延信号を選択すれば良いかが決定され、結果として、所望のタイミングの立ち上がりと立ち下がりを選択することが可能になっている。

【 0 0 7 5 】

なお、以上のデジタルディレイ方式パルス調整部に関する技術は、本件出願の発明者が、特願平 5 - 1 2 5 4 9 号として別途出願している信号遅延装置の技術を用いることが可能である。

【 0 0 7 6 】

〈本実施の形態例の特徴〉

つぎに、この実施の形態例の C C D 用パルスジェネレータ 1 1 0 を採用した画像読み取り装置 1 0 0 の動作の特徴について、以下の (1) ~ (1 5) に列記して説明を行う。

【 0 0 7 7 】

(1) この実施の形態例では、C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D リセット信号をデジタルディレイ方式パルス調整部 1 1 4 a で生成する。

【 0 0 7 8 】

そして、反転部 1 1 5 a にて生成した C C D リセット信号の反転信号と非反転信号とを出力信号条件設定部 1 1 3 からの設定に応じて選択部 1 1 6 a で選択する。そして出力信号条件設定部 1 1 3 の設定に応じて C C D リセット信号をブランキング部 1 1 7 a で一時停止し、出力信号条件設定部 1 1 3 の制御に応じて出力ラインエーブル機能を介して出力部 1 1 8 a から出力する。なお、以上の各動作を決定する複数の条件の設定情報を出力信号条件設定部 1 1 3 が設定する。

【 0 0 7 9 】

このため、C C D 駆動用信号としての C C D リセット信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一

のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【0080】

(2) この実施の形態例では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCDクランプ信号をデジタルディレイ方式パルス調整部114aで生成する。

【0081】

そして、反転部115aにて生成したCCDクランプ信号の反転信号と非反転信号とを出力信号条件設定部113からの設定に応じて選択部116aで選択する。そして出力信号条件設定部113の設定に応じてCCDクランプ信号をブランキング部117aで一時停止し、出力信号条件設定部113の制御に応じて出力イネーブル機能を介して出力部118aから出力する。なお、以上の各動作を決定する複数の条件の設定情報を出力信号条件設定部113が設定する。

【0082】

このため、CCD駆動用信号としてのCCDクランプ信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【0083】

(3) この実施の形態例では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD用予備信号をデジタルディレイ方式パルス調整部114aで生成する。

【0084】

そして、反転部115aにて生成したCCD用予備信号の反転信号と非反転信号とを出力信号条件設定部113からの設定に応じて選択部116aで選択する。そして出力信号条件設定部113の設定に応じてCCD用予備信号をブランキング部117aで一時停止し、出力信号条件設定部113の制御に応じて出力イ

ネーブル機能を介して出力部 1 1 8 a から出力する。なお、以上の各動作を決定する複数の条件の設定情報を出力信号条件設定部 1 1 3 が設定する。

【 0 0 8 5 】

このため、CCD 駆動用信号としての CCD 用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一の CCD が共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【 0 0 8 6 】

(4) この実施の形態例では、CCD を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた CCD 用予備信号をデジタルディレイ方式パルス調整部 1 1 4 a で生成する。

【 0 0 8 7 】

そして、反転部 1 1 5 a にて生成した CCD 用予備信号の反転信号と非反転信号とを出力信号条件設定部 1 1 3 からの設定に応じて選択部 1 1 6 a で選択する。また、出力信号条件設定部 1 1 3 の制御に応じて出力イネーブル機能を介して出力部 1 1 8 a から出力する。なお、以上の各動作を決定する複数の条件の設定情報を出力信号条件設定部 1 1 3 が設定する。

【 0 0 8 8 】

このため、CCD 駆動用信号としての CCD 用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一の CCD が共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【 0 0 8 9 】

(5) この実施の形態例では、CCD を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた CCD 用予備信号をデジタルディレイ方式パルス調整部 1 1 4 a で生成する。

【 0 0 9 0 】

そして、反転部 1 1 5 a にて生成した C C D 用予備信号の反転信号と非反転信号とを出力信号条件設定部 1 1 3 からの設定に応じて選択部 1 1 6 a で選択する。また、出力信号条件設定部 1 1 3 の制御に応じて出力イネーブル機能を介して出力部 1 1 8 a から出力する。なお、以上の各動作を決定する複数の条件の設定情報を出力信号条件設定部 1 1 3 が設定する。

【0 0 9 1】

このため、C C D 駆動用信号としての C C D 用予備信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一の C C D が共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。

【0 0 9 2】

(6) この実施の形態例では、出力信号条件設定部 1 1 3 は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成されていることが望ましい。このような構成のため、制御部 1 0 1 などとシリアル通信によって必要なデータの授受を行うことが可能であり、簡素な構成により信頼性を高めることが可能になる。

【0 0 9 3】

図 3 はこの接続の様子を模式的に示した説明図であり、制御部 1 0 1 からのデータ (DATAIN, DATAOUT)、クロック (CLK)、ロード (LOAD) の接続の様子を示している。なお、パルスジェネレータ 1 1 0 内部では、パルスジェネレータ 1 1 0 内部の出力信号条件設定部 1 1 3 が、制御部 1 0 1 とデータ、クロック、ロードの信号を送受している。

【0 0 9 4】

また、以上のような接続にした場合、図 4 に示すような複数のパルスジェネレータ 1 1 0 A、1 1 0 B を、制御部 1 0 1 に対して縦続接続することも可能である。

【0 0 9 5】

(7) この実施の形態例では、出力信号条件設定部 1 1 3 は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成されており、さ

らに、パルスジェネレータ 1 1 0 が、制御部 1 0 1 や同種の別機能素子手段（図示せず）などとシリアル通信によって必要なデータの授受を行うことが可能であると、簡素な構成により信頼性を高めることが可能になり好ましい。この場合、CCD 用パルスジェネレータ同士はカスケード接続できることが望ましい。

【0 0 9 6】

（８）この実施の形態例では、上記（６）または（７）の出力信号条件設定部 1 1 3 のレジスタは、素子動作順選択のための端子を介して制御されることが望ましい。このような構成にすると、複数の CCD 用パルスジェネレータ同士を縦続接続した場合に、親子（マスター／スレーブ）関係や動作順を定めることが可能となり、望ましい。

【0 0 9 7】

なお、ここで、素子動作順選択のための端子には、H または L によって設定を行えることが望ましい。図 5 の例では、パルスジェネレータ 1 1 0 A の素子動作順選択の端子 CS は H レベルに設定され、かつ、親であると設定されており、一方、パルスジェネレータ 1 1 0 B の素子動作順選択の端子 CS は L レベルに設定されており、子であると設定されている例を示している。なお、この素子動作順選択の端子 CS を 1 本だけでなく、2 本以上の信号線として、H と L との組み合わせにより ID を設定できるようにしてもよい。

【0 0 9 8】

（９）この実施の形態例では、上記（６）または（７）の出力信号条件設定部 1 1 3 のレジスタは、イネーブル選択のための端子を介して制御されることが望ましい。このような構成にすると、複数の CCD 用パルスジェネレータ同士を縦続接続した場合に、それぞれを有効（イネーブル）にするか無効（ディセーブル）にするかの設定が可能となり、望ましい。なお、ここで、イネーブル選択のための端子には、H または L によって設定を行えることが望ましい。

【0 0 9 9】

なお、ここで、素子動作順選択のための端子には、H または L によって設定を行えることが望ましい。図 5 の例では、パルスジェネレータ 1 1 0 A のイネーブル選択の端子 CS は H レベルに設定されており、有効であると設定されており、

一方、パルスジェネレータ 110B のイネーブル選択の端子 CS は L レベルに設定されており、無効であると設定されている例を示している。

【0100】

(10) この実施の形態例では、出力信号条件設定部 113 は、データ、クロック、ロードの 3 制御信号により制御されるレジスタによって構成されており、制御部 101 やその他の設定手段（図示せず）とシリアル通信によって必要なデータの授受を行うことが可能であり、簡素な構成により信頼性を高めることが可能になる。

【0101】

(11) この実施の形態例では、上記 (1) ～ (5) の各部と、上記 (6) の出力信号条件設定部 113 とが、半導体集積回路の 1 チップ内にデジタル回路として構成されていることが望ましい。このように半導体集積回路の 1 チップとすることで、簡易な構成となり、回路面積を削減することが可能になる。また、同一チップ内であるため、熱条件も等しくなり、高精度を確保することが可能になる。

【0102】

(12) この実施の形態例では、上記 (1) ～ (5) のパルスジェネレータのうち少なくとも 2 種類が組み合わされて、複数の出力を得るものであって、出力イネーブル機能は、一つの設定で全ての出力イネーブル機能が同時に制御されるようになっていることが望ましい。図 1 の例では、(1) ～ (5) の全てが組み合わされている様子を示している。このため、簡易な制御によって信頼性の高い動作を実現することが可能になる。

【0103】

(13) この実施の形態例では、クロック発生部 111 からの転送信号を、デジタルディレイ方式パルス調整部 114a ～ 114e 内のディレイチェーン部で差動入力手段により受けて、複数の遅延信号を生成することが望ましい。このようにすることで、ノイズの影響などを受けず、正確なタイミングで転送信号を受けることが可能になる。

【0104】

(14) この実施の形態例では、上記(1)～(3)の各手段が集積回路の1チップ内で構成されており、さらに、ブランキング部117a～117cでは、集積回路内で生成するブランキング信号と、集積回路外から入力する前記内部ブランキング信号とが、出力信号条件設定部113により設定されて選択されることが望ましい。このようにすることで、CCD駆動用信号を正確なタイミングで生成することが可能になるだけでなく、外部からのブランキング信号を用いて制御することも可能になり、多種多様な使用方法が可能になる。

【0105】

(15) 請求項15記載の発明では、(1)～(14)において、ラインCCDを駆動するための信号を発生する、ことを特徴とする。この発明では、以上の(1)～(14)のパルスジェネレータが、ラインCCDを駆動するための信号を発生するように構成している。

【0106】

このため、高速から低速の読み取り装置に同一のCCD(ラインセンサ)が共通して採用されていて回路構成の大半は変更無いものの、タイミング設定回路に変更があることにより従来は共通化できなかった構成に関しても、本実施の形態例のパルスジェネレータを適用することで、共通化することが可能になる。すなわち、フラットベッドスキャナや複写機やファクシミリ装置などの読み取り装置に用いられるラインセンサ型のCCDなどで、使用する解像度や用いられるモデルによって異なるタイミングが必要となるが、本実施の形態例のパルスジェネレータを適用することで、回路構成を共通化することが可能になる。

【0107】

〈その他の実施の形態例〉

以上の説明では、画像読み取り装置100がモノクロの画像読み取りを行うものであったが、これに限定されるものではない。すなわち、カラーの画像読み取りを行う画像読み取り装置についても、このパルスジェネレータを用いることが可能である。その場合、CCD駆動用信号(CCDリセット信号、CCDクランプ信号、予備信号など)やCCD出力処理用信号(サンプリング信号など)を各色分生成する構成とすればよい。

【 0 1 0 8 】**【発明の効果】**

以上詳細に説明したように、本発明では、以下のような効果が得られる。

【 0 1 0 9 】

(1) 請求項 1 記載の発明では、CCDを駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じたCCD駆動用信号（CCDリセット信号、CCDクランプ信号、予備信号など）やCCD出力処理用信号（サンプリング信号など）を生成することが可能になる。

【 0 1 1 0 】

このため、CCD駆動用信号やCCD出力処理用信号を正確なタイミングで生成することが可能になる。これにより、高速から低速の読み取り装置に同一のCCDが共通して採用されて回路構成の大半に変更が無い場合、タイミング設定回路も共通にすることが可能になって、回路全体の共通化が可能になる。また、高価なアナログ遅延素子を用意する必要がなくなり、そのアナログ遅延素子の選択をジャンパなどで変更することも必要なくなる。

【図面の簡単な説明】**【図 1】**

本発明の一実施の形態例のCCD用パルスジェネレータの主要部の電氣的構成を示す構成図である。

【図 2】

本発明の一実施の形態例のCCD用パルスジェネレータを適用するCCD用パルスジェネレータの機械的構成を示す構成図である。

【図 3】

本発明の一実施の形態例のCCD用パルスジェネレータにおける接続の様子を示す構成図である。

【図 4】

本発明の一実施の形態例のCCD用パルスジェネレータにおける接続の様子を示す構成図である。

【図 5】

本発明の一実施の形態例の C C D 用パルスジェネレータにおける接続の様子を示す構成図である。

【図 6】

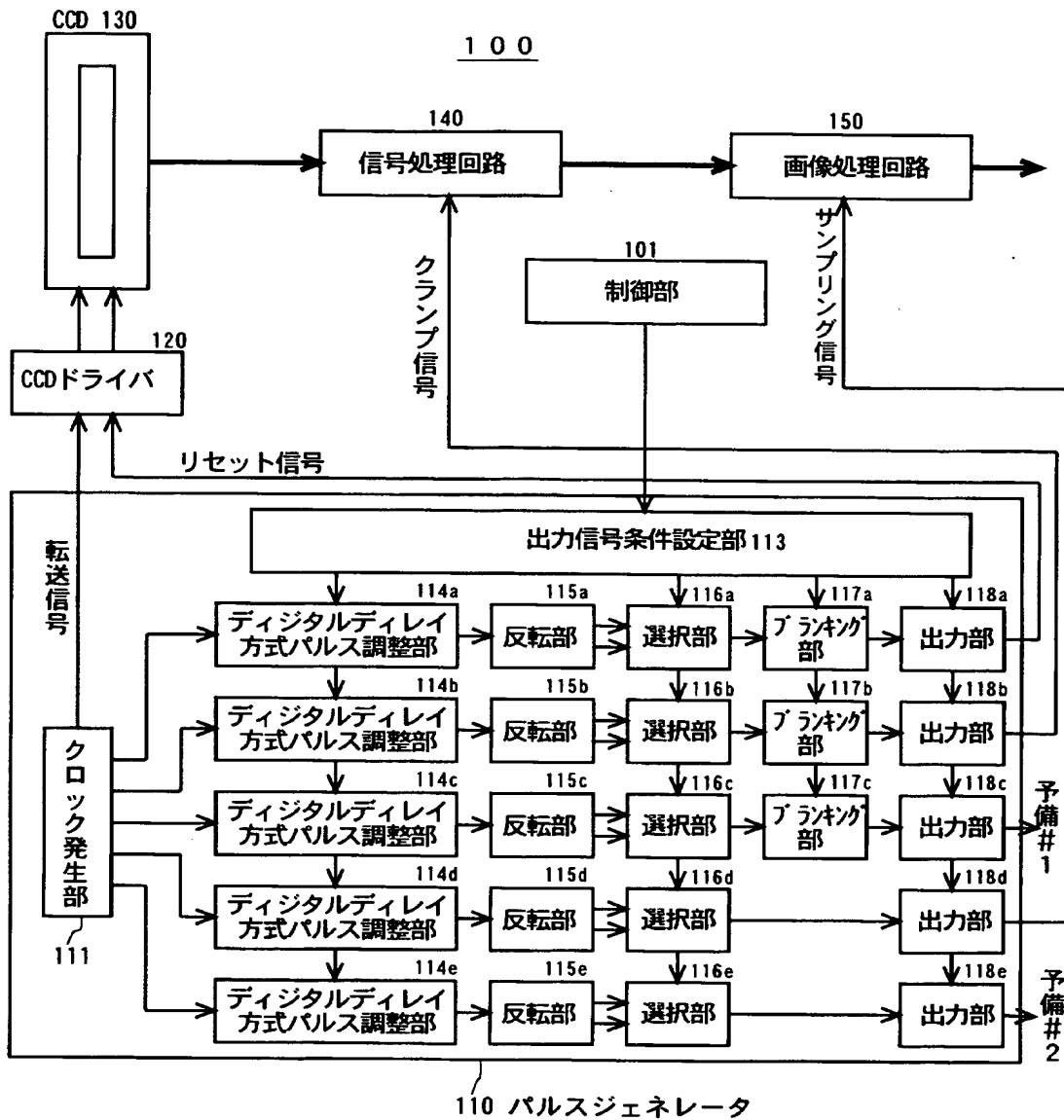
C C D の出力信号の波形を示す波形図である。

【符号の説明】

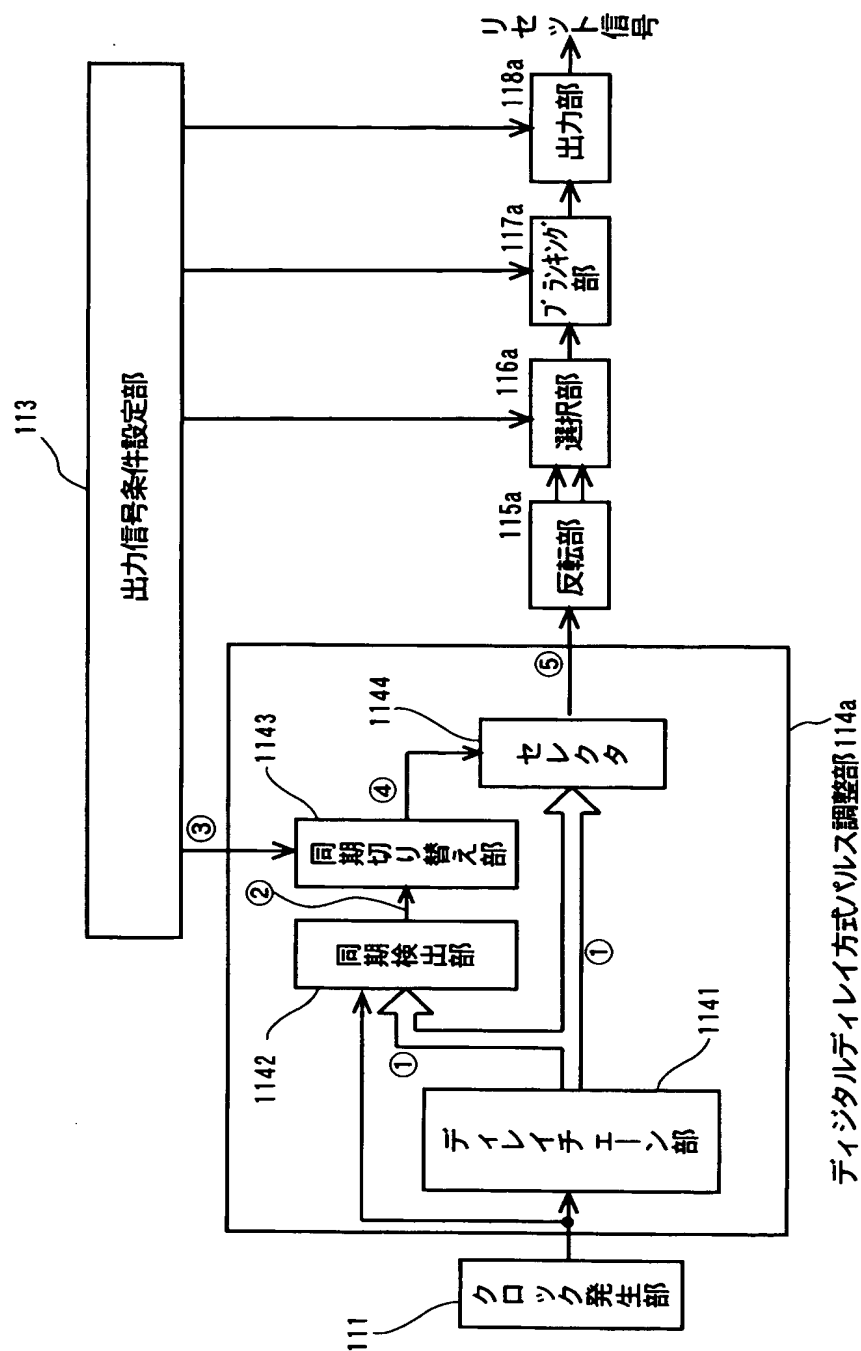
- 1 0 0 画像読み取り装置
- 1 0 1 制御部
- 1 1 0 パルスジェネレータ
- 1 1 1 クロック発生部
- 1 1 3 出力信号条件設定部
- 1 1 4 (1 1 4 a ~ 1 1 4 e) デジタルディレイ方式パルス調整部
- 1 1 5 (1 1 5 a ~ 1 1 5 e) 反転部
- 1 1 6 (1 1 6 a ~ 1 1 6 e) 選択部
- 1 1 7 (1 1 7 a ~ 1 1 7 c) ブランキング部
- 1 1 8 (1 1 8 a ~ 1 1 8 e) 出力部
- 1 2 0 C C D ドライバ
- 1 3 0 C C D
- 1 4 0 信号処理回路
- 1 5 0 画像処理回路

【書類名】 図面

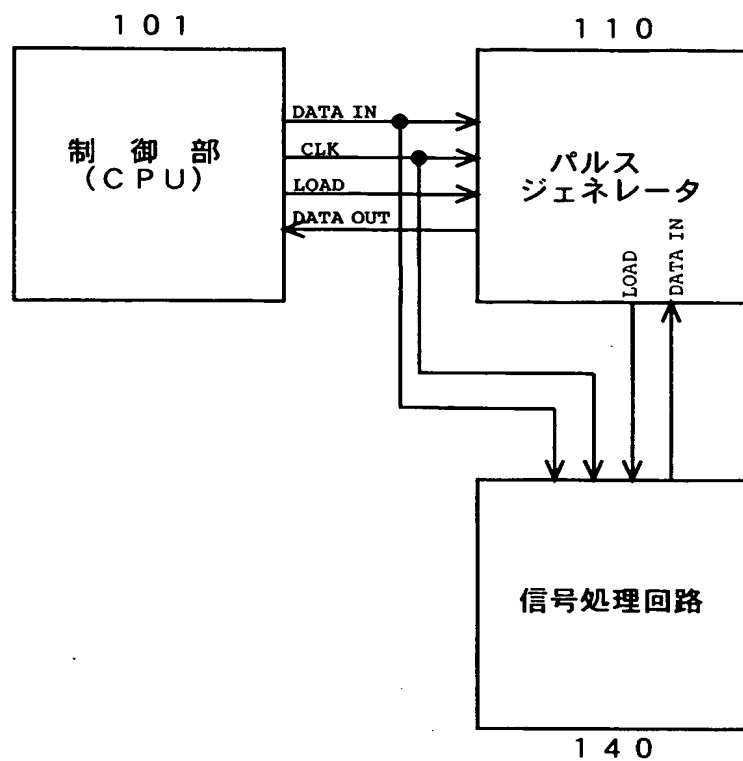
【図 1】



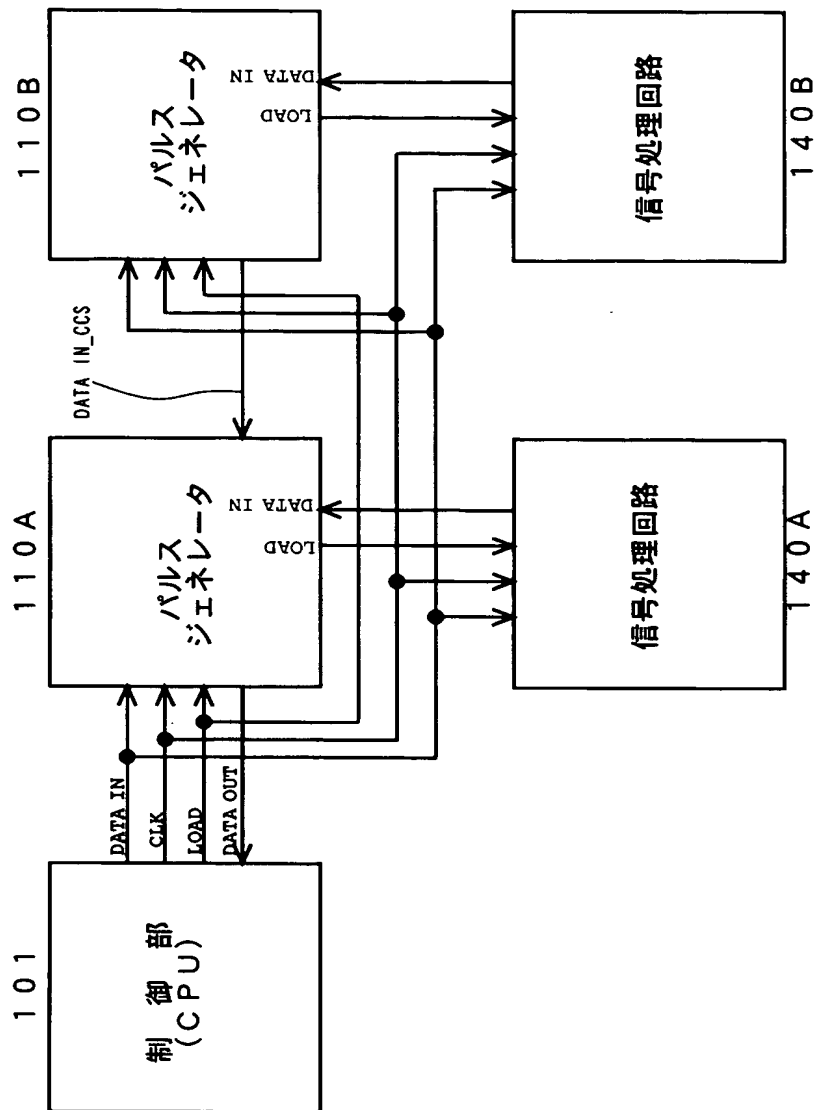
【図 2】



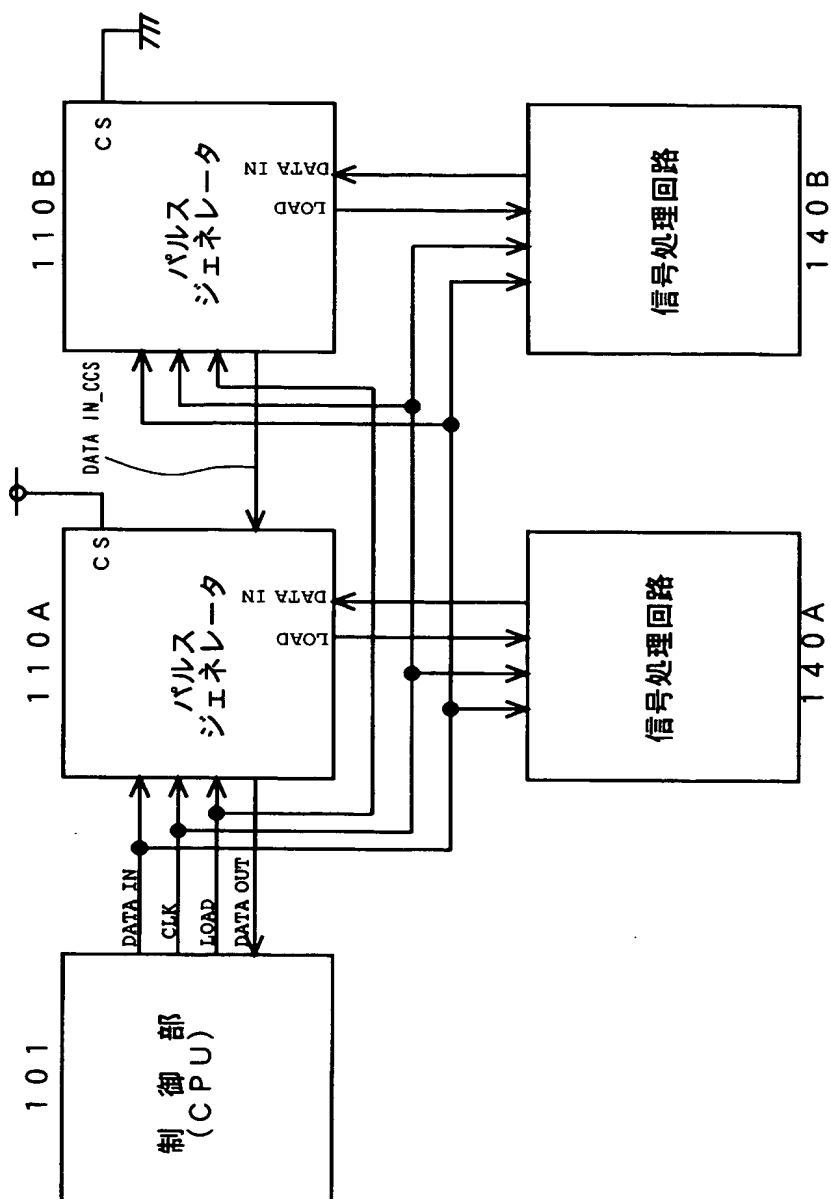
【図 3】



【図 4】

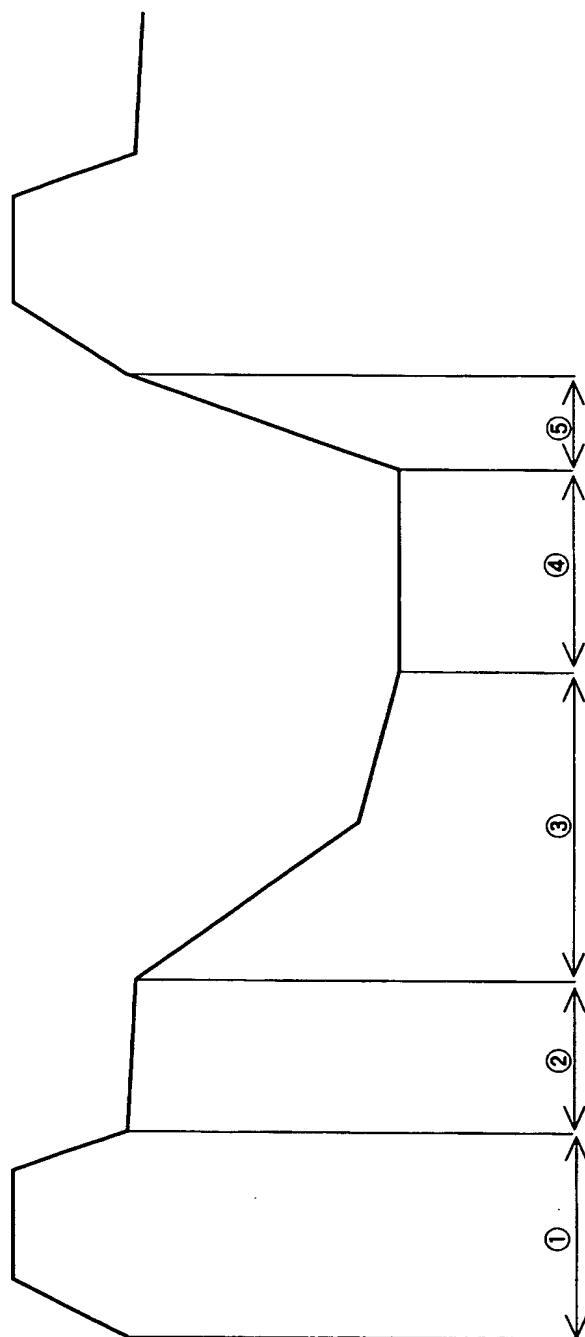


【図 5】



【図 6】

CCD出力信号波形の例



- ①：リセット+CP（内部ビットクランプ）期間
- ②：フィールドスルー期間
- ③：画像信号下がり期間
- ④：画像信号安定期間
- ⑤：画像信号上がり期間
- （①，②，③，⑤はCCD駆動に必要な固定期間）

【書類名】 要約書

【要約】

【課題】 C C D 駆動用信号と C C D 出力処理用信号とを正確なタイミングで生成することを可能にする。

【解決手段】 C C D を駆動するための転送信号を細かく遅延させて複数の遅延信号を生成し、該複数の遅延信号の選択を変更することにより、設定された立ち上がりタイミングと立ち下りタイミングとに応じた C C D 駆動用信号と C C D 出力処理用信号とを生成するデジタルディレイ方式の信号生成手段と、生成された信号の反転信号および非反転信号を生成する反転・非反転信号生成手段と、生成された信号の反転信号と非反転信号とを選択する選択手段と、生成された信号を一時停止するブランキング手段と、出力イネーブル機能を有し、選択手段により選択された信号を出力する出力手段と、それぞれの手段の動作を決定する複数の条件の設定情報を設定する出力信号条件設定手段 1 1 3 と、を備える。

【選択図】 図 1

特願 2 0 0 3 - 0 4 2 2 7 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 2 7 0]

1. 変更年月日 1 9 9 0 年 8 月 1 4 日
[変更理由] 新規登録
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号
氏 名 コニカ株式会社
2. 変更年月日 2 0 0 3 年 8 月 4 日
[変更理由] 名称変更
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号
氏 名 コニカミノルタホールディングス株式会社
3. 変更年月日 2 0 0 3 年 8 月 2 1 日
[変更理由] 住所変更
住 所 東京都千代田区丸の内一丁目 6 番 1 号
氏 名 コニカミノルタホールディングス株式会社